



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le **07 MAI 2004**

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint-Petersbourg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr

This Page Blank (uspto)



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

1er dépôt

**BREVET D'INVENTION
CERTIFICAT D'UTILITÉ**

Code de la propriété intellectuelle-Livre VI



REQUÊTE EN DÉLIVRANCE 1/2

Réservé à
L'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

REMISE DES PIÈCES DATE 17 AVRIL 2003 LIEU 38 INPI GRENOBLE N° D'ENREGISTREMENT 0304829 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE 17 AVR. 2003 PAR L'INPI		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Cabinet Michel de Beaumont 1 rue Champollion 38000 GRENOBLE	
Vos références pour ce dossier (facultatif) B5937			
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de Brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale ou demande de certificat d'utilité initiale		N° _____ Date / / N° _____ Date / /	
Transformation d'une demande de brevet européen		Demande de brevet initiale N° _____ Date / /	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) AMPLIFICATEUR DIFFÉRENTIEL À CORRECTION DE MODE COMMUN			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date / / _____ Pays ou organisation _____ N° _____ Date / / _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé "Suite"	
5 DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé "Suite"	
Nom ou dénomination sociale		STMicroelectronics SA	
Prénoms			
Forme juridique		Société anonyme	
N° SIREN			
Code APE-NAF			
ADRESSE	Rue	29, Boulevard Romain Rolland	
	Code postal et ville	92120	MONTRouGE
Pays		FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

Réservé à
 L'INPI

REMISE DES PIÈCES

DATE 17 AVRIL 2003

LIEU 38 INPI GRENOBLE

N° D'ENREGISTREMENT 0304829

NATIONAL ATTRIBUÉ PAR L'INPI

Vos références pour ce dossier :

(facultatif) B5937

⑥ MANDATAIRE

Nom

Prénom

Cabinet ou Société

Cabinet Michel de Beaumont

N° de pouvoir permanent et/ou
de lien contractuel

ADRESSE

Rue

1 Rue Champollion

Code postal et ville

38000

GRENOBLE

N° de téléphone (facultatif)

04.76.51.84.51

N° de télécopie (facultatif)

04.76.44.62.54

Adresse électronique (facultatif)

cab.beaumont@wanadoo.fr

⑦ INVENTEUR (S)

Les inventeurs sont les demandeurs

☐ Oui☒ Non

Dans ce cas fournir une désignation d'inventeur (s) séparée

⑧ RAPPORT DE RECHERCHE

Uniquement pour une demande de brevet (y compris division et transformation)

Établissement immédiat

☒

ou établissement différé

☐

Paiement échelonné de la redevance

Paiement en trois versements, uniquement pour les personnes physiques

☐ Oui☒ Non⑨ RÉDUCTION DU TAUX DES
REDEVANCES

Uniquement pour les personnes physiques

☐ Requête pour la première fois pour cette invention (joindre un avis de non-imposition)☐ Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :Si vous avez utilisé l'imprimé "Suite", indiquez
le nombre de pages jointes

⑩ SIGNATURE DU DEMANDEUR

OU DU MANDATAIRE

(Nom et qualité du signataire)

Michel de Beaumont

Mandataire n° 92-1016

VISA DE LA PREFECTURE
OU DE L'INPI

D.R.G.P.

AMPLIFICATEUR DIFFÉRENTIEL À CORRECTION DE MODE COMMUN

La présente invention concerne le domaine des circuits intégrés, et plus particulièrement des amplificateurs à sortie différentielle.

La figure 1 représente schématiquement un circuit amplificateur 1 à contre-réaction à entrée et sortie différentielles comportant un étage amplificateur 2 à transconductance ayant deux bornes de sortie "+" et "-" respectivement reliées à deux bornes d'entrée "+" et "-" d'un étage amplificateur inverseur 4 à transconductance. La boucle de contre-réaction de l'amplificateur comporte deux impédances 6A, 6B reliant respectivement les bornes de sortie "+" et "-" de l'étage 4 aux bornes d'entrée "-" et "+" de l'étage 2. Deux impédances 8B, 8A relient les bornes d'entrée "+" et "-" de l'étage 2 à deux bornes d'entrée (IN+, IN-) du circuit 1. Les impédances 8 (8A, 8B) forment un diviseur de tension avec les impédances 6 (6A, 6B) de la boucle de contre-réaction. Les bornes de sortie "+" et "-" de l'étage 4 constituent les bornes de sortie (OUT+, OUT-) du circuit 1. Deux condensateurs 10B, 10A relient respectivement les bornes d'entrée "+" et "-" de l'étage 4 à ses bornes de sortie "-" et "+".

Un diviseur de tension 12 comportant deux résistances identiques est relié entre les bornes de sortie de l'étage 4. Le

point milieu du diviseur 12 est relié à une première borne d'entrée d'un bloc amplificateur 14 à transconductance de correction de mode commun à entrée et sortie différentielles. Une deuxième borne d'entrée du bloc 14 reçoit un potentiel de référence V_{ref} fourni par une source de tension non représentée. Chacune des bornes de sortie du bloc 14 est reliée à une borne d'entrée de l'étage 4. Le bloc 14 et le diviseur de tension 12 forment une boucle non inverseuse de correction de mode commun.

Lorsque la fréquence augmente, les divers éléments amplificateurs du circuit 1 (les étages 2 et 4 et le bloc 14) introduisent chacun un déphasage susceptible de rendre instable selon le cas la chaîne d'amplification du circuit comprenant les étages 2 et 4 ou la chaîne de correction de mode commun comprenant l'étage 4 et le bloc 14. Les condensateurs 10 (10A, 10B), couramment appelés condensateurs Miller, permettent d'assurer la stabilité à la fois de la chaîne d'amplification et de la chaîne de correction de mode commun. La valeur des condensateurs Miller doit être choisie avec soin, car si des condensateurs Miller de forte valeur garantissent une bonne stabilité du circuit, ils réduisent le produit gain.bande passante du circuit.

Dans les cas où le gain différentiel en boucle fermée de l'amplificateur 1 doit être élevé, la boucle de contre réaction, constituée des résistances 6A, 8A et 6B, 8B, est fortement atténuatrice, ce qui réduit d'autant le gain en boucle ouverte de la chaîne d'amplification. Cette atténuation ne s'applique cependant pas au gain en boucle ouverte de la chaîne de correction de mode commun. La stabilité de la chaîne de correction de mode commun ne peut alors être assurée, à moins soit de réduire les produit gain.bande passante de l'amplificateur en augmentant la valeur des condensateurs 10A et 10B, soit de réduire le gain en boucle ouverte de la chaîne de correction de mode commun et sa dynamique de correction. Une telle réduction a notamment pour conséquences une réduction de la précision et une plus grande sensibilité de la chaîne de correction de mode commun à des

perturbations extérieures telles que la température et les dispersions de fabrication.

Un objet de la présente invention est de prévoir un circuit amplificateur différentiel à correction de mode commun
5 présentant un produit gain.bande passante élevé.

Un autre objet de la présente invention est de prévoir un tel circuit amplificateur dont la correction de mode commun est peu sensible à des facteurs extérieurs.

Pour atteindre ces objets, ainsi que d'autres, la présente invention prévoit un circuit amplificateur comprenant :
10 une chaîne d'amplification comportant un étage de sortie différentiel ; et

un bloc de correction de mode commun agissant sur l'entrée de l'étage de sortie en fonction d'un potentiel de mode
15 commun en sortie dudit étage et introduisant un déphasage entre son entrée et sa sortie pour des fréquences voisines de la fréquence de coupure du circuit ; et

comportant en parallèle avec le bloc de correction un moyen n'introduisant pas de déphasage entre son entrée et sa
20 sortie et ayant aux fréquences voisines de la fréquence de coupure du circuit une impédance de sortie très inférieure à l'impédance de sortie du bloc de correction.

Selon un mode de réalisation de l'invention, l'étage de sortie a une entrée différentielle et ledit moyen comporte un
25 étage à gain unitaire recevant en entrée le potentiel de mode commun et dont la sortie est reliée par deux premiers condensateurs identiques à chacune des entrées de l'étage de sortie.

Selon un mode de réalisation de l'invention, la stabilité de la chaîne d'amplification est assurée par deux seconds
30 condensateurs identiques disposés chacun entre une entrée et une sortie de l'étage de sortie ; et les premiers condensateurs ont une valeur telle qu'ils sont, pour les fréquences voisines de la fréquence de coupure du circuit, traversés par un courant

différentiel inférieur d'un ordre de grandeur au courant différentiel traversant les seconds condensateurs.

Selon un mode de réalisation de l'invention, la chaîne d'amplification comporte en outre un étage d'entrée à entrée et
5 sortie différentielles couplé à l'entrée de l'étage de sortie et une boucle de contre-réaction à diviseur de tension couplant la sortie de l'étage de sortie à l'entrée de l'étage d'entrée.

Selon un mode de réalisation de l'invention, l'étage à gain unitaire comporte un premier transistor MOS d'un premier
10 type de conductivité monté en source suiveuse.

Selon un mode de réalisation de l'invention, le bloc de correction comprend :

deux deuxièmes transistor MOS d'un premier type de conductivité dont les sources sont reliées à une masse par
15 l'intermédiaire de premières résistances, la grille de l'un des deuxièmes transistors étant reliée entre deux deuxièmes résistances égales connectées en série entre les bornes de sortie de l'étage de sortie et la grille de l'autre des deuxièmes transistors étant reliée à un potentiel de référence ;

20 deux troisièmes transistors MOS d'un second type de conductivité dont les drains sont reliés aux drains des deux deuxièmes transistors, les sources des troisièmes transistors étant reliées à un potentiel d'alimentation et leurs grilles étant reliées au drain de celui des deuxièmes transistors dont
25 la grille est reliée au potentiel de référence ;

deux quatrièmes transistors du deuxième type de conductivité dont les sources sont reliées au potentiel d'alimentation, dont les grilles sont reliées au drain de celui des deuxièmes transistors dont la grille est reliée entre les deu-
30 xièmes résistances, et dont les drains constituent les bornes de sortie de l'étage amplificateur ;

le premier transistor étant confondu avec celui des deuxièmes transistors dont la grille est reliée entre les deuxièmes résistances.

Selon un mode de réalisation de l'invention, le bloc de correction comprend :

deux deuxièmes transistors MOS d'un premier type de conductivité dont les sources sont reliées à une masse par l'intermédiaire de premières sources de courant, et entre elles par une première résistance, la grille de l'un des deuxièmes transistors étant reliée entre deux deuxièmes résistances égales connectées en série entre les bornes de sortie de l'étage de sortie et la grille de l'autre des deuxièmes transistors étant
10 reliée à un potentiel de référence ;

deux troisièmes transistors MOS d'un second type de conductivité dont les drains sont reliés aux drains des deuxièmes transistors, les sources des troisièmes transistors étant reliées à un potentiel d'alimentation et leurs grilles étant
15 reliées au drain de celui des deuxièmes transistors dont la grille est reliée au potentiel de référence ;

deux quatrièmes transistors du deuxième type de conductivité dont les sources sont reliées au potentiel d'alimentation, dont les grilles sont reliées au drain de celui des deuxièmes transistors dont la grille est reliée entre les
20 deuxièmes résistances, et dont les drains constituent les bornes de sortie de l'étage amplificateur ;

le premier transistor étant confondu avec celui des deuxièmes transistors dont la grille est reliée entre les
25 deuxièmes résistances.

Selon un mode de réalisation de l'invention, l'étage de sortie est constitué de cinquième et sixième transistors MOS du deuxième type de conductivité dont les sources sont reliées au potentiel d'alimentation, dont les drains, constituant les
30 bornes de sortie de l'étage de sortie, sont reliés à des deuxièmes sources de courant et dont les grilles constituent les bornes d'entrée de l'étage de sortie, deux condensateurs Miller reliant respectivement les grilles des cinquième et sixième transistors aux drains desdits transistors.

Selon un mode de réalisation de l'invention, l'étage d'entrée comprend des septième et huitième transistors MOS du premier type de conductivité dont les sources sont couplées à une troisième source de courant, les drains des septième et huitième transistors constituant les bornes de sortie de l'étage d'entrée et étant respectivement reliés aux grilles des sixième et cinquième transistors, les grilles des septième et huitième transistors constituant les bornes d'entrée de l'étage d'entrée et étant respectivement reliées par des premières impédances aux drains des cinquième et sixième transistors, et par des deuxième impédances à deux bornes d'entrée du circuit.

Selon un mode de réalisation de l'invention, le potentiel d'alimentation est un potentiel positif et les transistors des premier et second types de conductivité sont respectivement à canal N et P.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, précédemment décrite, représente schématiquement un circuit amplificateur classique ;

la figure 2 représente schématiquement un mode de réalisation d'un circuit amplificateur selon la présente invention ;

la figure 3 représente en détail un mode de réalisation d'un circuit amplificateur selon la présente invention ;
et

la figure 4 représente en détail un autre mode de réalisation d'un circuit amplificateur selon la présente invention.

De mêmes références représentent de mêmes éléments aux différentes figures. Seuls les éléments nécessaires à la compréhension de l'invention ont été représentés.

Un apport de l'inventeur a été de remarquer que, si le bloc de correction de mode commun introduit un déphasage susceptible de provoquer l'instabilité du circuit, ce déphasage n'a d'importance, pour la stabilité, que pour les fréquences voisines de la fréquence de coupure du circuit. La présente invention consiste ainsi à inhiber l'action du bloc de correction aux fréquences voisines de la fréquence de coupure du circuit. Pour cela, l'invention prévoit de disposer parallèlement au bloc de correction un moyen n'introduisant aucun déphasage et présentant aux fréquences voisines de la fréquence de coupure du circuit (en pratique la fréquence de coupure de la chaîne d'amplification) une impédance de sortie très inférieure à l'impédance de sortie dudit bloc.

La figure 2 représente schématiquement un circuit amplificateur 16 selon l'invention. Le circuit 16 comporte comme le circuit amplificateur de la figure 1 un étage 2 relié en entrée d'un étage inverseur 4, les bornes de sortie OUT+, OUT- de l'étage 4 étant reliées aux bornes d'entrée de l'étage 2 par des impédances 6 (6A, 6B), 8 (8A, 8B) formant un réseau diviseur de tension. Deux condensateurs Miller 10 (10A, 10B) relient les bornes d'entrée de l'étage 4 à ses bornes de sortie. Entre les bornes OUT+ et OUT- est disposé un diviseur de tension 12 dont le point milieu est au potentiel V_{cm} de mode commun de sortie de l'étage 4. Un bloc amplificateur 14 de correction de mode commun reçoit sur une première borne d'entrée le potentiel V_{cm} et sur une deuxième borne d'entrée un potentiel de référence V_{ref} . Les bornes de sortie du bloc 14 sont reliées aux bornes d'entrée de l'étage 4.

La présente invention prévoit de relier au point milieu du diviseur 12 l'entrée d'un étage à gain en tension unitaire 22 n'introduisant qu'un déphasage négligeable entre son entrée et sa sortie, et de disposer deux condensateurs 24 (24A, 24B) identiques, chacun entre la sortie de l'étage 22 et une borne de sortie du bloc 14.

L'étage 22 et les condensateurs 24 sont choisis de telle manière que la somme de l'impédance d'un condensateur 24 aux fréquences voisines de la fréquence de coupure du circuit 16 et de l'impédance de sortie de l'étage 22 soit très inférieure à l'impédance de sortie du bloc 14. Les signaux déphasés fournis aux fréquences voisines de la fréquence de coupure du circuit par le bloc 14 sont ainsi négligeables devant les signaux correspondants non déphasés fournis par l'étage 22 selon l'invention, et ils ne sont pas susceptibles de provoquer l'instabilité du circuit.

Réciproquement, aux fréquences de travail du circuit 16, l'impédance des condensateurs 24 est très supérieure à l'impédance de sortie du bloc 14. Ainsi, aux fréquences de travail du circuit 16, l'étage 22 n'intervient pas dans le fonctionnement du circuit 16 tandis que le bloc 14 est utilisé normalement dans la chaîne de correction de mode commun. On choisit en général la fréquence de coupure une décade au dessus de la fréquence maximale de travail afin que l'amplificateur n'altère pas de façon notable le spectre du signal à traiter. Par exemple, pour des filtres de réception en bande de base GSM dits à "zéro IF", la fréquence du signal est inférieure à 1 MHz, et la fréquence de coupure des amplificateurs constituant le filtre est comprise entre 8 et 10 MHz. De même, pour des filtres de réception en bande de base WCDMA, la fréquence du signal est inférieure à 10 MHz, et la fréquence de coupure des amplificateurs constituant le filtre est comprise entre 50 et 100 MHz. Les valeurs précédentes dépendent de l'application et des exigences de précision sur le signal à traiter ainsi que sur les signaux parasites à rejeter.

On a vu précédemment que l'étage 22 n'introduit pas de déphasage notable aux fréquences voisines de la fréquence de coupure du circuit. En pratique, la fréquence de coupure de l'étage 22 est telle que l'étage 22 introduit tout de même un déphasage, mais seulement aux fréquences élevées pour lesquelles le gain du circuit est inférieur à 1. Le déphasage introduit par

l'étage 22 dans ces conditions ne nuit pas à la stabilité de la chaîne de correction de mode commun.

La valeur des condensateurs 24 est également choisie suffisamment faible pour ne pas charger, au voisinage de la fréquence de coupure, la sortie différentielle de l'étage 4, ce qui aurait pour effet d'altérer la stabilité de la chaîne d'amplification. En d'autres termes, pour les fréquences voisines à la fréquence de coupure, le courant différentiel circulant dans les condensateurs 24 doit être d'un ordre de grandeur inférieur au courant différentiel circulant dans les condensateurs Miller. En pratique la valeur des condensateurs 24, qui est de préférence choisie par simulation électrique, peut être de l'ordre d'un cinquième de celle des condensateurs Miller.

Le bloc de correction 14 est selon l'invention contourné pour les hautes fréquences, supprimant ainsi le déphasage introduit par ce bloc 14, et quelles que soient les valeurs des condensateurs Miller. La présente invention permet ainsi à la chaîne de correction de mode commun de rester stable avec une valeur des condensateurs Miller choisie uniquement pour assurer la stabilité de la seule chaîne d'amplification quelle que soit l'atténuation de la boucle de réaction (diviseurs de tension 6A, 8A et 6B, 8B). Ladite atténuation fixe le gain en boucle fermée à la valeur désirée. Cette atténuation ne s'appliquant pas, en pratique, à la chaîne de correction de mode commun, cette dernière serait instable sans l'invention, à moins d'augmenter fortement la valeur des condensateurs Miller, ce qui réduirait du même coup le produit gain.bande passante de l'amplificateur.

La présente invention permet également d'utiliser un bloc 14 de correction de mode commun ayant un gain élevé sans risquer de rendre le circuit instable, ce qui permet d'obtenir une grande précision de la correction de mode commun, et de rendre la correction peu sensible à des perturbations telles que la température ou les dispersions technologiques.

On notera que la présente invention s'applique de manière avantageuse à un circuit amplificateur (non représenté) dont le gain est commutable entre un gain faible et un gain fort. La présente invention permet en effet d'assurer la
5 stabilité de la chaîne de correction de mode commun sans devoir réduire le produit gain.bande passante pour le gain faible à seule fin d'assurer la stabilité pour le gain fort, comme cela était le cas dans l'état de la technique.

La figure 3 représente un mode de réalisation d'un
10 circuit amplificateur 16 selon la présente invention dans lequel l'étage 2 est constitué par deux transistors MOS à canal N, 26A, 26B dont les sources sont couplées à une source de courant constant 28. Les drains des transistors 26A, 26B constituent les bornes de sortie de l'étage 2 et sont respectivement reliés aux
15 drains de transistors MOS à canal P 30B, 30A de charge fonctionnant en sources de courant. Les sources des transistors 30A, 30B sont reliées à un potentiel d'alimentation. L'étage 4 est constitué de transistors MOS à canal P 32A, 32B dont les sources sont reliées au potentiel d'alimentation. Les drains des transistors 32A, 32B constituent les bornes de sortie de l'étage 4
20 et du circuit 16 (OUT+, OUT-) et sont reliés à des sources de courant constant 34A, 34B de charge. Les grilles des transistors 32A, 32B constituent les bornes d'entrée de l'étage 4 et sont respectivement reliées aux drains des transistors 26B, 26A. Des
25 impédances 6A, 6B relient les drains des transistors 32A, 32B aux grilles des transistors 26A, 26B. Des impédances 8A, 8B relient respectivement les grilles des transistors 26A, 26B à deux bornes d'entrée IN-, IN+ du circuit. Des condensateurs Miller 10A, 10B relient respectivement les grilles des transistors 32A, 32B à leurs drains. Des résistances 12A, 12B identiques sont reliées en série entre les drains des transistors 32A, 32B.

Le bloc 14 comprend deux transistors MOS à canal N, 36A, 36B, dont les sources sont reliées à la masse par l'intermédiaire de résistances 38A, 38B et dont les drains sont reliés
35

aux drains de deux transistors MOS de type P, 40A, 40B. Les sources des transistors 40A, 40B sont reliées au potentiel d'alimentation et leurs grilles sont reliées au drain du transistor 36B. La grille du transistor 36B est reliée à un potentiel de référence de mode commun Vref. La grille du transistor 36A est reliée entre les résistances 12A et 12B. Le drain du transistor 40A est relié aux grilles des transistors 30A, 30B qui agissent en sources de courant commandables. Des condensateurs 24A, 24B selon l'invention relient la source du transistor 36A respectivement aux drains des transistors 30A, 30B.

L'étage à gain unitaire 22 est constitué du montage en source suiveuse comportant le transistor 36A et la résistance 38A. L'entrée et la sortie de l'étage 22 sont respectivement la grille et la source du transistor 36A. Un tel montage en source suiveuse comporte de manière connue une fréquence de coupure particulièrement élevée. L'étage 22 fournit du courant aux condensateurs 24A, 24B sans qu'aucun courant ne soit consommé au niveau de la sortie du circuit au travers des résistances 12A, 12B.

Le bloc 14 commande directement les grilles des transistors de charge 30A, 30B, lesquels ajustent leurs courants pour compenser le courant de la source 28. Un très faible écart entre les tensions des grilles des transistors 38A, 38B entraîne une forte variation de courant dans les transistors 30A, 30B. Cette structure confère à la boucle de correction de mode commun une dynamique et un gain en boucle ouverte élevés, ce qui permet de corriger la tension de mode commun avec précision. La valeur des condensateurs 24A, 24B est choisie de telle manière qu'aux fréquences voisines de la fréquence de coupure du circuit 16, la somme de l'impédance de la source du transistor 36A et du condensateur 24A ou 24B est très inférieure respectivement à l'impédance des drains des transistors 30A ou 30B.

La présente invention a été décrite en relation avec un étage à gain unitaire 22 utilisant un transistor 36A du bloc de correction de mode commun, mais elle s'adaptera sans

difficulté à un tel amplificateur utilisant un transistor ne faisant pas partie du bloc de correction.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme
5 de l'art. En particulier, la présente invention a été décrite en relation avec une structure particulière de circuit, mais elle s'adaptera sans difficulté à toute structure équivalente de circuit, et notamment à toute structure équivalente du bloc de correction.

10 La figure 4 représente à titre d'exemple un autre mode de réalisation d'un circuit amplificateur selon la présente invention. Le circuit amplificateur a la même structure que le circuit représenté en figure 3, à l'exception de ce que les sources des transistors 36A, 36B du bloc de correction ne sont
15 pas reliées à la masse par des résistances, mais sont respectivement reliées à la masse par des sources de courant 42A, 42B, et sont reliées entre elles par une résistance 44, de manière à fournir un courant indépendant de la tension d'alimentation.

La présente invention a été décrite en relation avec
20 un étage de sortie particulier, mais l'étage de sortie peut également être un étage de classe AB. En outre, l'invention a été décrite en relation avec un circuit amplificateur à entrée et sortie différentielles, mais elle s'adaptera sans difficulté à tout circuit amplificateur à correction de mode commun, par
25 exemple un circuit amplificateur à entrée non différentielle et à sortie différentielle.

La présente invention a été décrite en relation avec un circuit amplificateur comportant un nombre particulier d'étages dans ses chaînes d'amplification et de correction, mais
30 elle s'adaptera sans difficulté à un circuit amplificateur comportant un nombre d'étages différent.

La présente invention a été décrite en relation avec des transistors MOS, mais elle s'adaptera sans difficulté à des transistors bipolaires ou à une combinaison de transistors MOS
35 et bipolaires.

Les amplificateurs selon l'invention peuvent être utilisés dans tout circuit électronique dans lequel il est nécessaire de traiter des signaux différentiels, tels que des circuits audio, des circuits de bande de base de téléphones
5 mobiles, des circuits de traitement analogique vidéo avant codage Analogique/numérique, dans des filtres utilisant des amplificateurs opérationnels du type Leap-Frog ou Rauch, des amplificateurs à gain commutable, etc...

REVENDICATIONS

1. Circuit amplificateur (16) comprenant :
une chaîne d'amplification (2, 4, 6, 8) comportant un étage de sortie différentiel (4) ; et
un bloc de correction de mode commun (12, 14) agissant
5 sur l'entrée de l'étage de sortie (4) en fonction d'un potentiel de mode commun (V_{cm}) en sortie dudit étage et introduisant un déphasage entre son entrée et sa sortie pour des fréquences voisines de la fréquence de coupure du circuit ;
caractérisé en ce qu'il comporte, en parallèle avec le
10 bloc de correction, un moyen (22, 24A, 24B) n'introduisant pas de déphasage entre son entrée et sa sortie et ayant aux fréquences voisines de la fréquence de coupure du circuit une impédance de sortie très inférieure à l'impédance de sortie du bloc de correction (14).
- 15 2. Circuit amplificateur selon la revendication 1, dans lequel l'étage de sortie (4) a une entrée différentielle et dans lequel ledit moyen comporte un étage (22) à gain unitaire recevant en entrée le potentiel de mode commun et dont la sortie est reliée par deux premiers condensateurs (24A, 24B) identiques
20 à chacune des entrées de l'étage de sortie (4).
3. Circuit amplificateur selon la revendication 2, dans lequel la stabilité de la chaîne d'amplification (2, 4, 6, 8) est assurée par deux seconds condensateurs identiques (10A, 10B) disposés chacun entre une entrée et une sortie de l'étage
25 de sortie (4) ; et dans lequel les premiers condensateurs (24A, 24B) ont une valeur telle qu'ils sont pour les fréquences voisines de la fréquence de coupure du circuit traversés par un courant différentiel inférieur d'un ordre de grandeur au courant différentiel traversant les seconds condensateurs (10A, 10B).
- 30 4. Circuit amplificateur selon la revendication 3, dans lequel la chaîne d'amplification (2, 4) comporte en outre un étage d'entrée (2) à entrée et sortie différentielles couplé à l'entrée de l'étage de sortie et une boucle de contre-réaction

à diviseur de tension (6, 8) couplant la sortie de l'étage de sortie (4) à l'entrée de l'étage d'entrée (2).

5 5. Circuit amplificateur (16) selon l'une quelconque des revendications 2 à 4, dans lequel l'étage à gain unitaire (22) comporte un premier transistor MOS (36A) d'un premier type de conductivité monté en source suiveuse.

6. Circuit amplificateur (16) selon la revendication 5, dans lequel le bloc de correction (12, 14) comprend :

10 deux deuxièmes transistors MOS (36A, 36B) d'un premier type de conductivité dont les sources sont reliées à une masse par l'intermédiaire de premières résistances (38A, 38B), la grille de l'un des deuxièmes transistors étant reliée entre deux
15 deuxièmes résistances égales (12A, 12B) connectées en série entre les bornes de sortie de l'étage de sortie (4) et la grille de l'autre des deuxièmes transistors (36B) étant reliée à un potentiel de référence (V_{ref}) ;

deux troisièmes transistors MOS (40A, 40B) d'un second type de conductivité dont les drains sont reliés aux drains des
20 deux deuxièmes transistors (36A, 36B), les sources des troisièmes transistors (40A, 40B) étant reliées à un potentiel d'alimentation et leurs grilles étant reliées au drain de celui des deuxièmes transistors (36B) dont la grille est reliée au potentiel de référence (V_{ref}) ;

25 deux quatrièmes transistors (30A, 30B) du deuxième type de conductivité dont les sources sont reliées au potentiel d'alimentation, dont les grilles sont reliées au drain de celui des deuxièmes transistors (36A) dont la grille est reliée entre les deuxièmes résistances (12A, 12B), et dont les drains constituent les bornes de sortie de l'étage amplificateur (14) ;

30 et dans lequel le premier transistor est confondu avec celui des deuxièmes transistors (36A) dont la grille est reliée entre les deuxièmes résistances (12A, 12B).

7. Circuit amplificateur (16) selon la revendication 5, dans lequel le bloc de correction (12, 14) comprend :

deux deuxièmes transistors MOS (36A, 36B) d'un premier type de conductivité dont les sources sont reliées à une masse par l'intermédiaire de premières sources de courant (42A, 42B), et entre elles par une première résistance (44), la grille de l'un des deuxièmes transistors étant reliée entre deux deuxièmes résistances égales (12A, 12B) connectées en série entre les bornes de sortie de l'étage de sortie (4) et la grille de l'autre des deuxièmes transistors (36B) étant reliée à un potentiel de référence (V_{ref}) ;

deux troisièmes transistors MOS (40A, 40B) d'un second type de conductivité dont les drains sont reliés aux drains des deuxièmes transistors (36A, 36B), les sources des troisièmes transistors (40A, 40B) étant reliées à un potentiel d'alimentation et leurs grilles étant reliées au drain de celui des deuxièmes transistors (36B) dont la grille est reliée au potentiel de référence (V_{ref}) ;

deux quatrièmes transistors (30A, 30B) du deuxième type de conductivité dont les sources sont reliées au potentiel d'alimentation, dont les grilles sont reliées au drain de celui des deuxièmes transistors (36A) dont la grille est reliée entre les deuxièmes résistances (12A, 12B), et dont les drains constituent les bornes de sortie de l'étage amplificateur (14) ;

et dans lequel le premier transistor est confondu avec celui des deuxièmes transistors (36A) dont la grille est reliée entre les deuxièmes résistances (12A, 12B).

8. Circuit amplificateur (16) selon la revendication 6 ou 7, dans lequel l'étage de sortie (4) est constitué de cinquième (32A) et sixième (32B) transistors MOS du deuxième type de conductivité dont les sources sont reliées au potentiel d'alimentation, dont les drains, constituant les bornes de sortie de l'étage de sortie (4), sont reliés à des deuxièmes sources de courant (34A, 34B) et dont les grilles constituent les bornes d'entrée de l'étage de sortie (4), deux condensateurs Miller (10A, 10B) reliant respectivement les grilles des cinquième et sixième transistors aux drains desdits transistors.

9. Circuit amplificateur (16) selon la revendication 8, dans lequel l'étage d'entrée (2) comprend des septième (26A) et huitième (26B) transistors MOS du premier type de conductivité dont les sources sont couplées à une troisième source de courant (28), les drains des septième (26A) et huitième (26B) transistors constituant les bornes de sortie de l'étage d'entrée (2) et étant respectivement reliés aux grilles des sixième (32B) et cinquième (32A) transistors, les grilles des septième (26A) et huitième (26B) transistors constituant les bornes d'entrée de l'étage d'entrée (2) et étant respectivement reliées par des premières impédances (6A, 6B) aux drains des cinquième (32A) et sixième (32B) transistors, et par des deuxième impédances (8A, 8B) à deux bornes d'entrée du circuit.

10. Circuit amplificateur selon l'une quelconque des revendications 6 à 9, dans lequel le potentiel d'alimentation est un potentiel positif et dans lequel les transistors des premier et second types de conductivité sont respectivement à canal N et P.

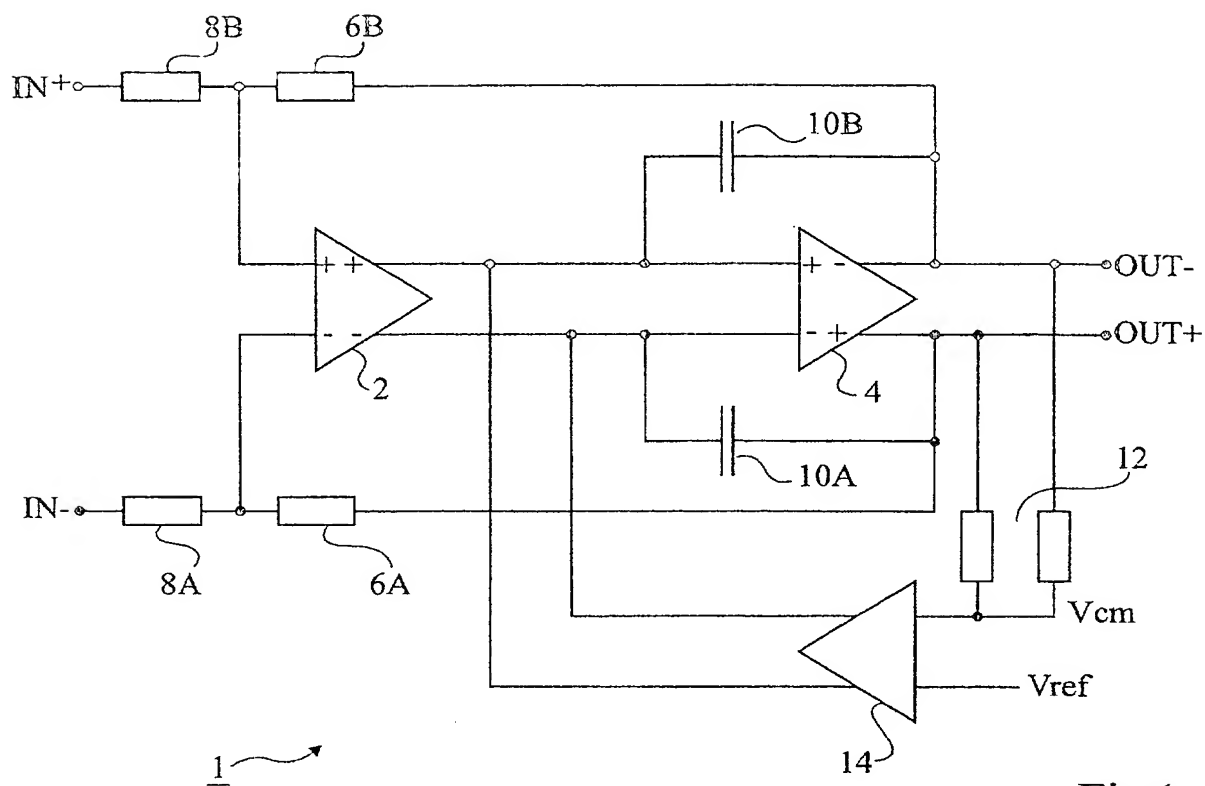


Fig 1

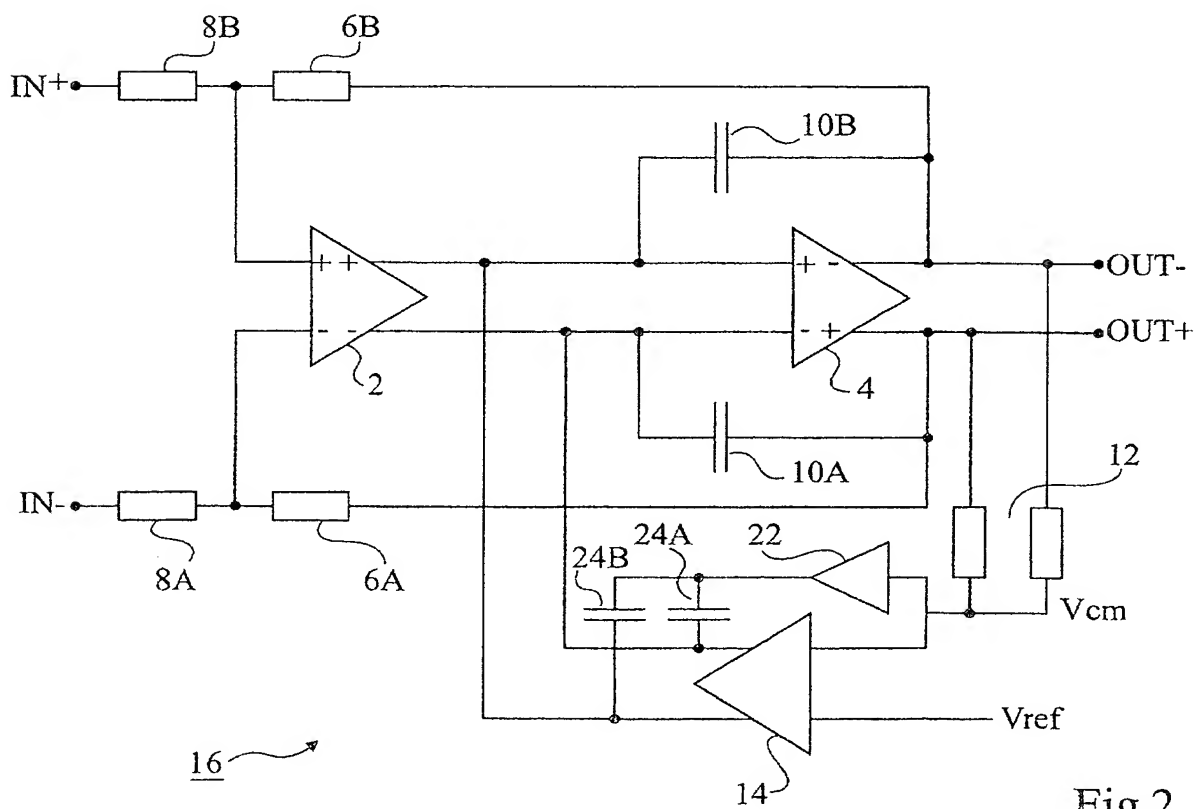


Fig 2

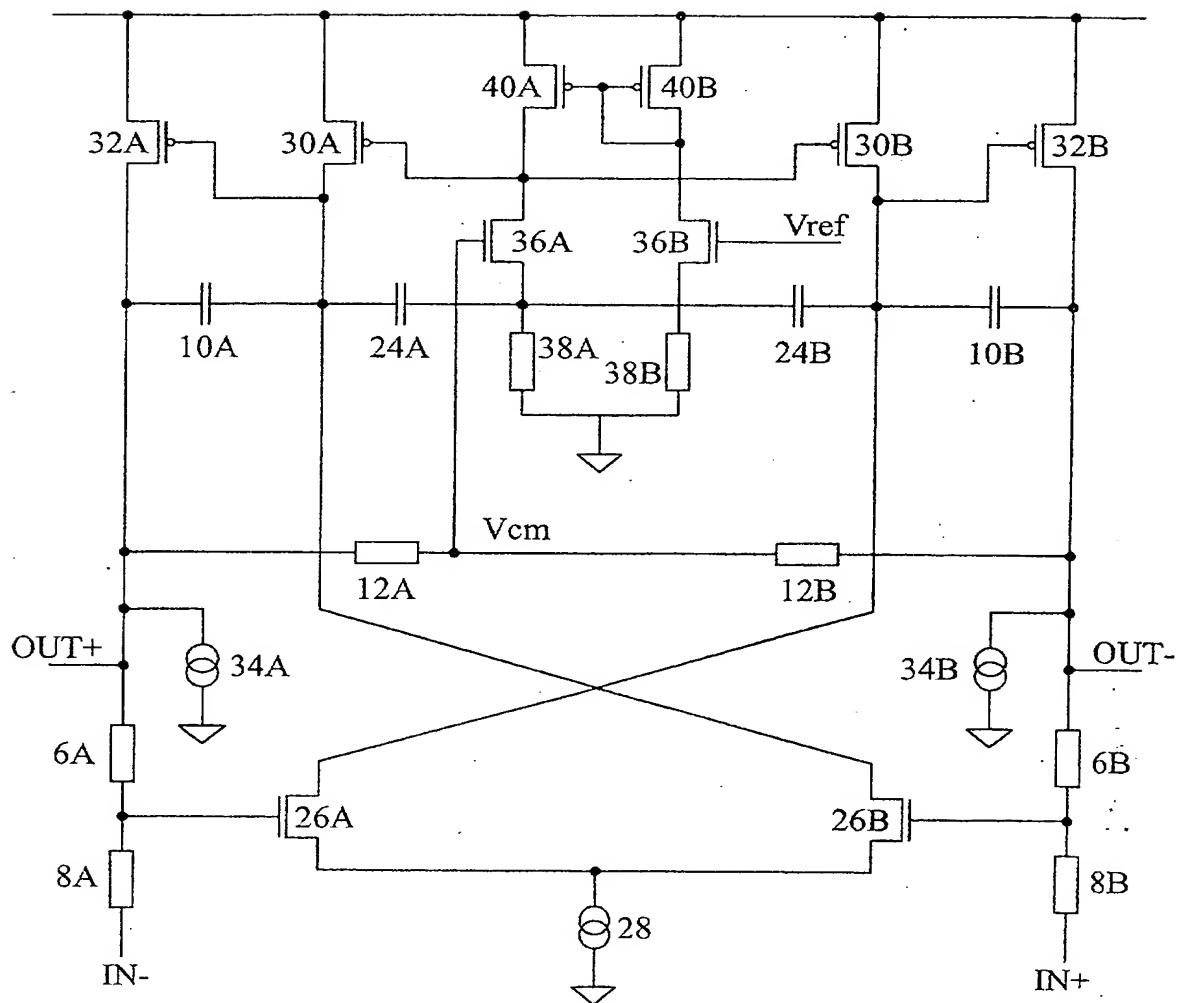
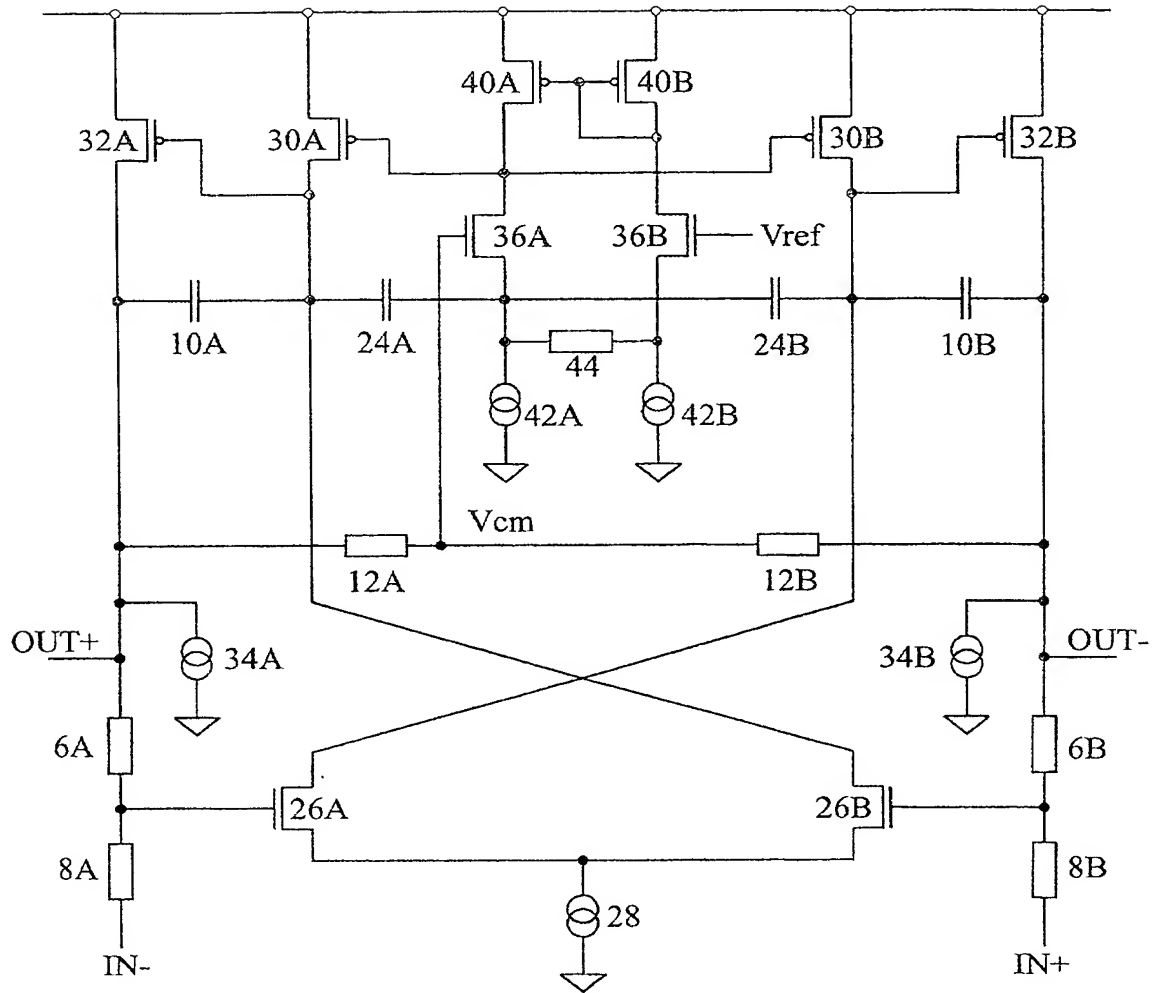


Fig 3

16





DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg

75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

**BREVET D'INVENTION,
CERTIFICAT D'UTILITÉ**

Code de la propriété intellectuelle-Livre VI



DÉSIGNATION D'INVENTEUR(S) PAGE N°1/ 1

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B5937	
N° D'ENREGISTREMENT NATIONAL		0304829	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
AMPLIFICATEUR DIFFÉRENTIEL À CORRECTION DE MODE COMMUN			
LE(S) DEMANDEUR(S):			
STMicroelectronics SA			
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		François Van Zanten	
ADRESSE	Rue	8, Allée de la Roseraie	
	Code postal et ville	38240	MEYLAN, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)			
Michel de Beaumont Mandataire n° 92-1016 Le 17 avril 2003			



This Page Blank (uspto)